

ADS를 이용한 High Speed Channel Simulation 방법

키사이트 테크놀로지스 기술지원부

2018.08.03

정태종 부장



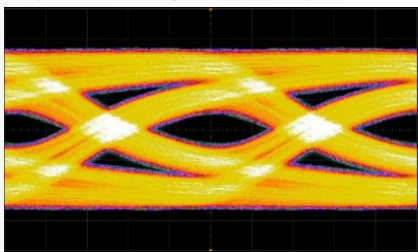
Agenda

- 시작
- **Post Layout Analysis Work Flow**
- **SIPro를 이용한 EM해석및 ADS Eye analysis Demo**
- 요약

High Speed Serial Board 설계시 어려움

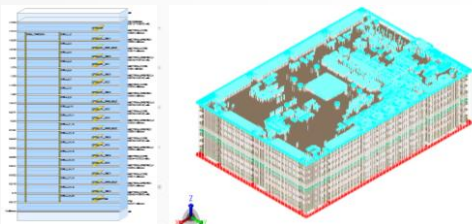
엔지니어들이 고려해야 할 사항들

빠른 속도를 지원하는
장치의 등장



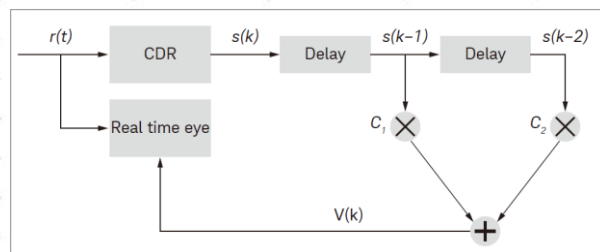
고주파 성분의 감쇠에 따른
전송 거리 감소

배선의 고밀도화
기판의 다층화-



Cross Talk 유발

다양한 이퀄라이저 탑재



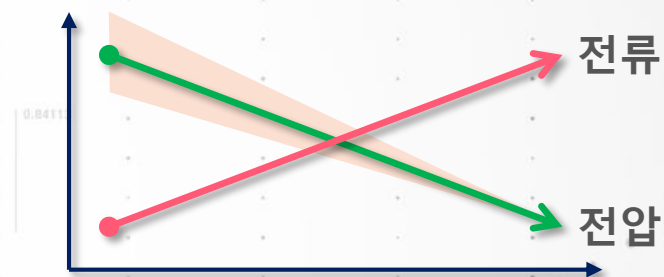
어떤 Emphasis와 Equalizer
설정이 적절한가?

엄격한 사양 / 규격



다양한 Compliance Test의
엄격한 사양

장치의 저전압화 대전류화



허용전압변동값의 감소

SI: Signal Integrity
전송신호품질

SI/PI를 고려한 설계를
통해 제품 Revision 및
De-bugging 시간을 최소화

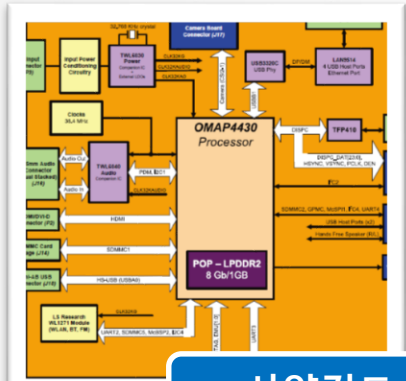
PI: Power Integrity
전원품질

Design Work Flow

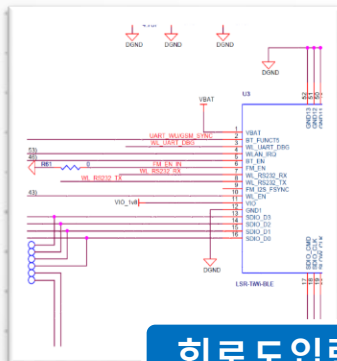
CASE1

문제점 파악

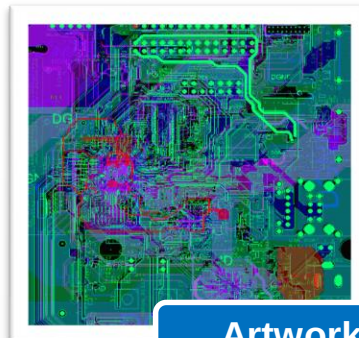
문제발생



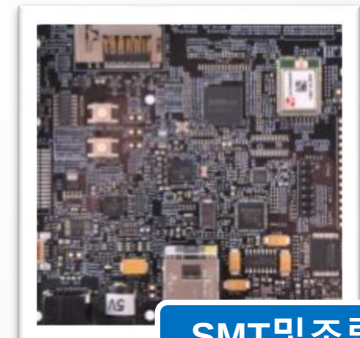
사양검토



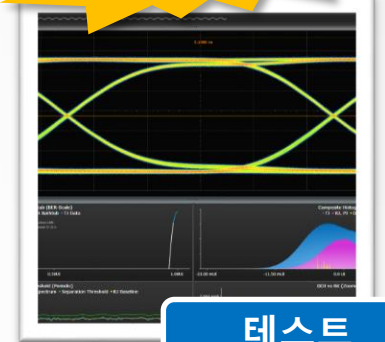
회로도입력



Artwork



SMT및조립



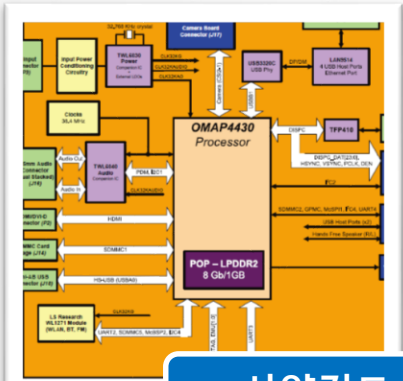
테스트

Design Work Flow

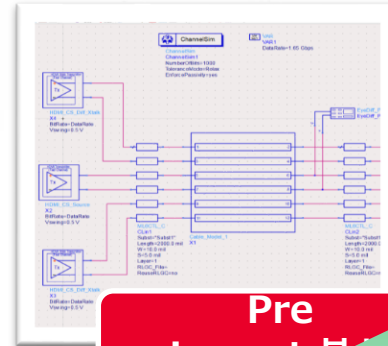
CASE2

명확한 원인 분석

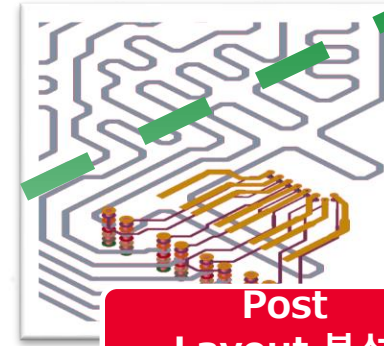
문제발생



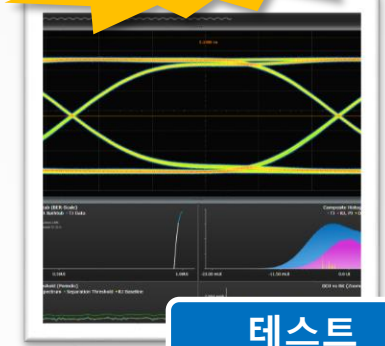
사양검토



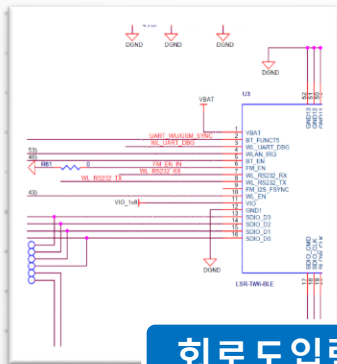
Pre Layout 분석



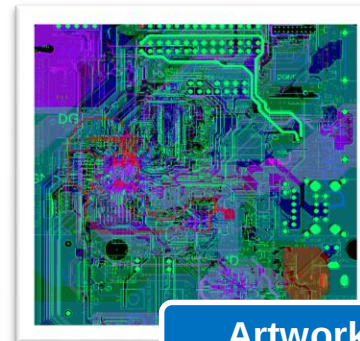
Post Layout 분석



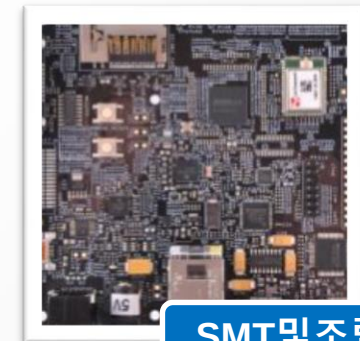
테스트



회로도 입력



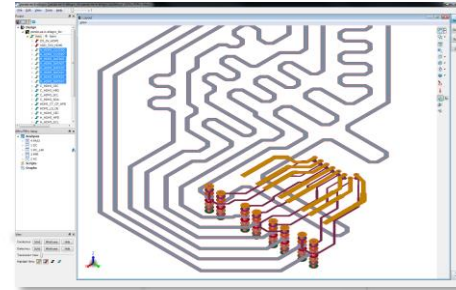
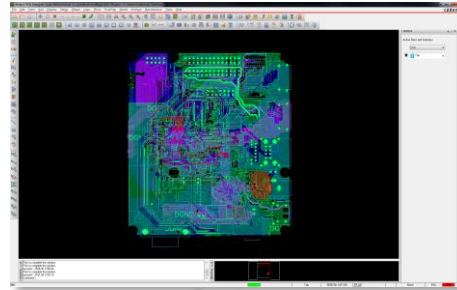
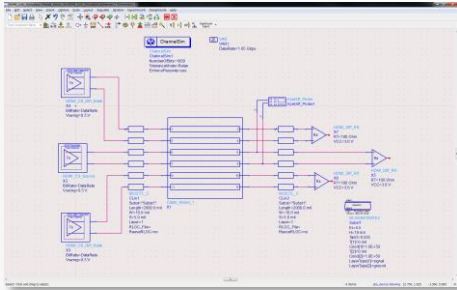
Artwork



SMT및조립

시뮬레이션을 활용한 설계방법

명확한 레이아웃 검증



추상적

Pre Layout

Layout

Post Layout

Verification

구체적

Pre Layout단계에서 전송선로 검증

Pre Layout분석의 검증 결과를 Layout에 반영

Post Layout단계에서 Layout에 문제가 없는지 확인

Pre/Post Simulation 분석을 통한
PCB Revision 차수 감소 효과

Compliance Test

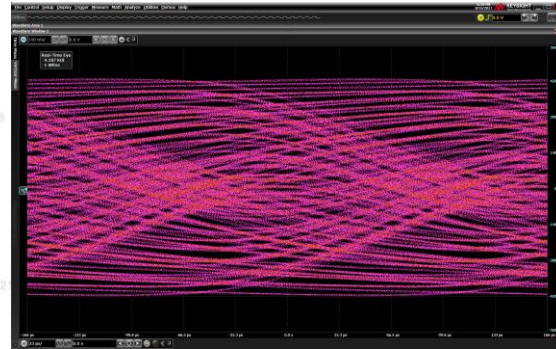
EYE OPEN에 문제가 있는 경우

다른 PCB 추가 검증
(단품불량여부)

장치고장

실장불량

Coding Error



검증에주력

회로도 입력
오류

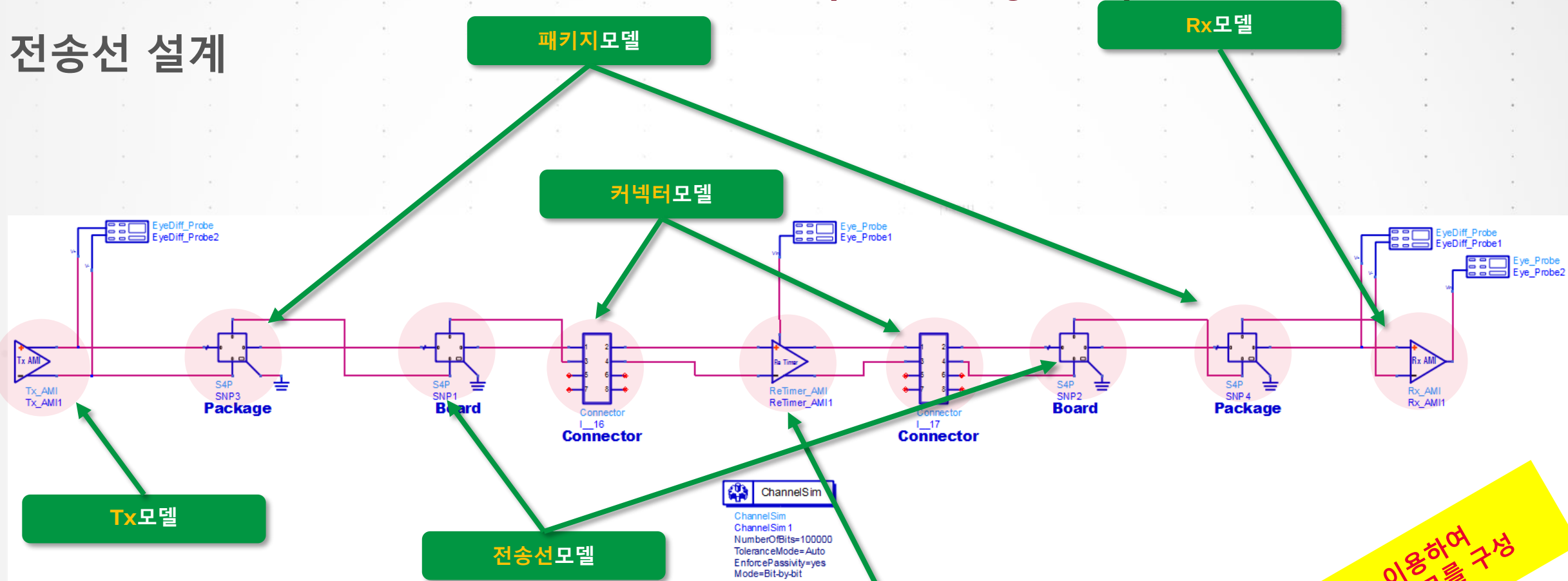
Signal
Integrity

Power
Integrity

시뮬레이션을 통한 검증

ADS를 사용한 시뮬레이션의 사례(Pre Layout)

전송선 설계

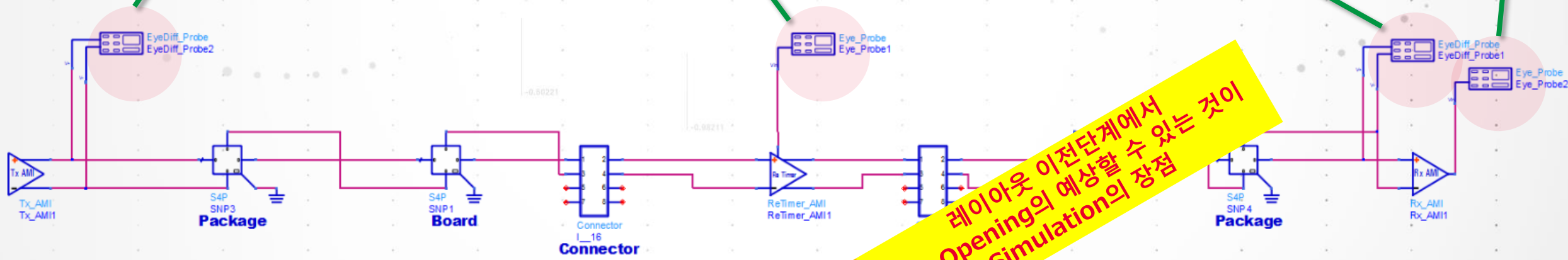
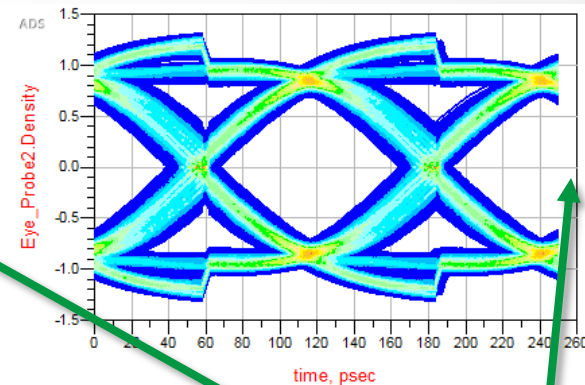
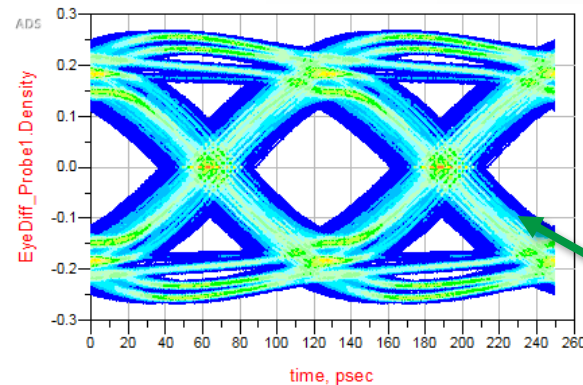
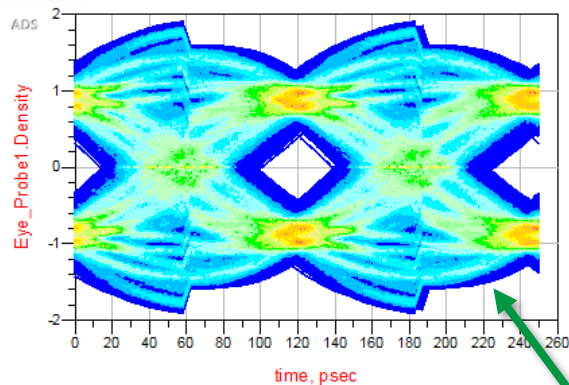
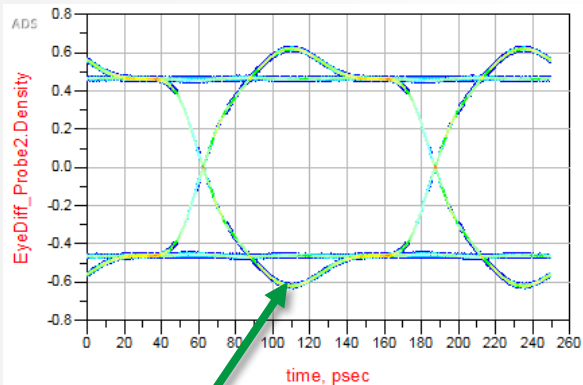


ADS Schematic

다양한 「모델」 이용하여
시뮬레이션을 위한 회로를 구성

ADS를 사용한 시뮬레이션의 사례(Pre Layout)

Simulation 결과

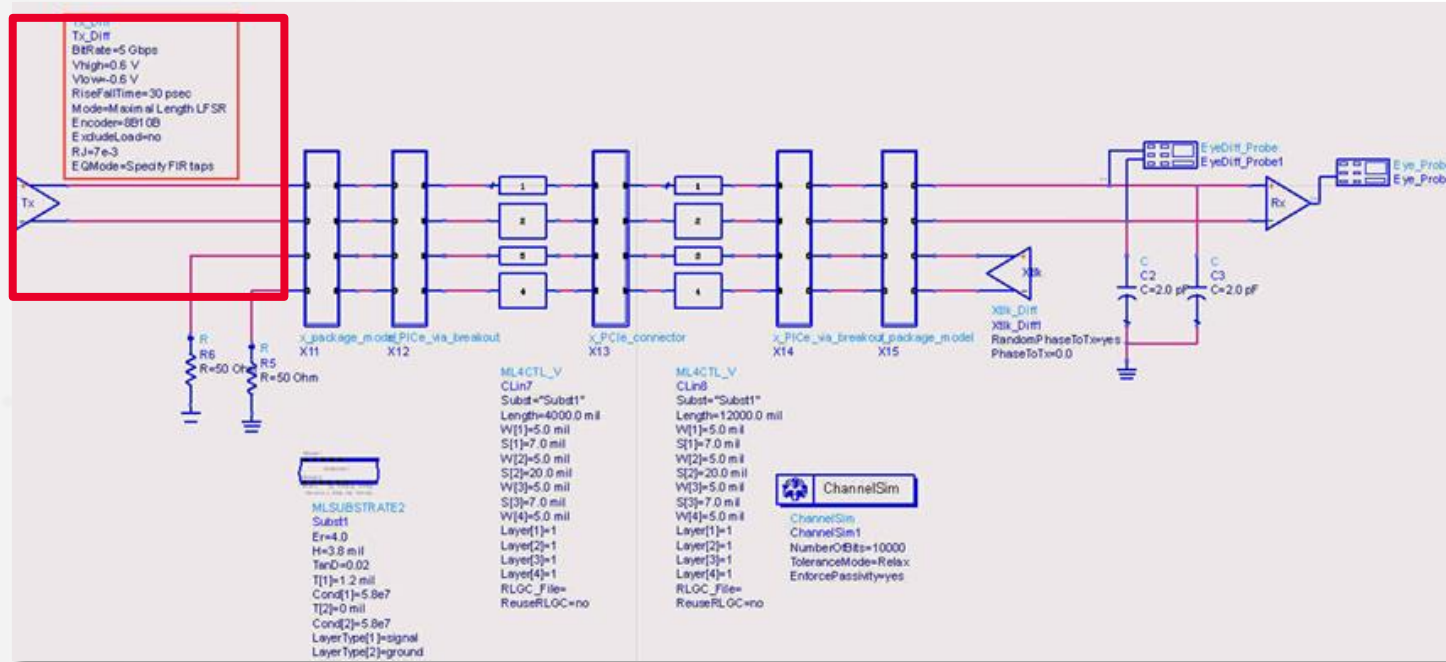


ADS Schematic

레이아웃 이전단계에서
Eye Opening의 예상할 수 있는 것이
Simulation의 장점

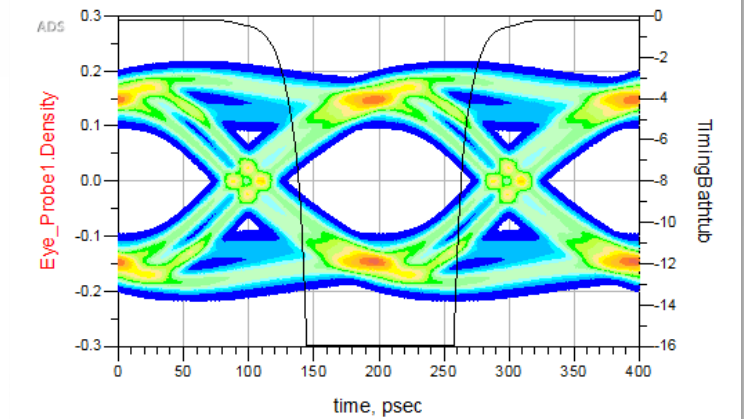
Simulation의 장점

전송속도에 따른 결과

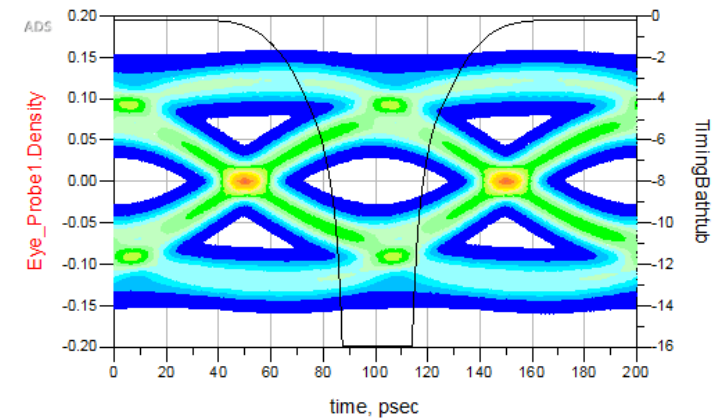


전송속도를 5Gbps에서
10Gbps로 변경

5Gbps

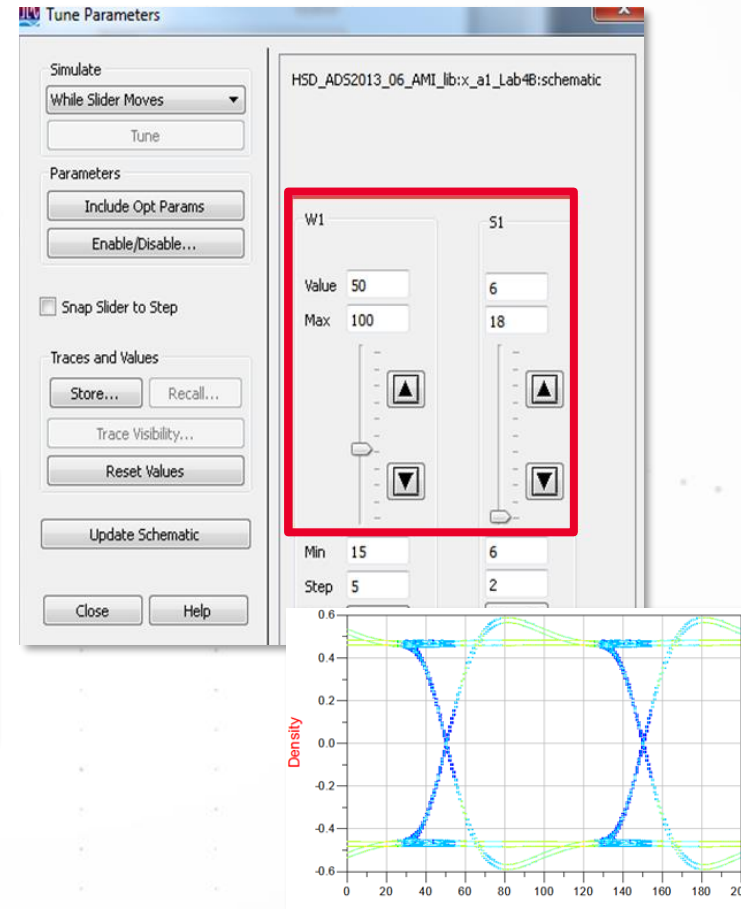
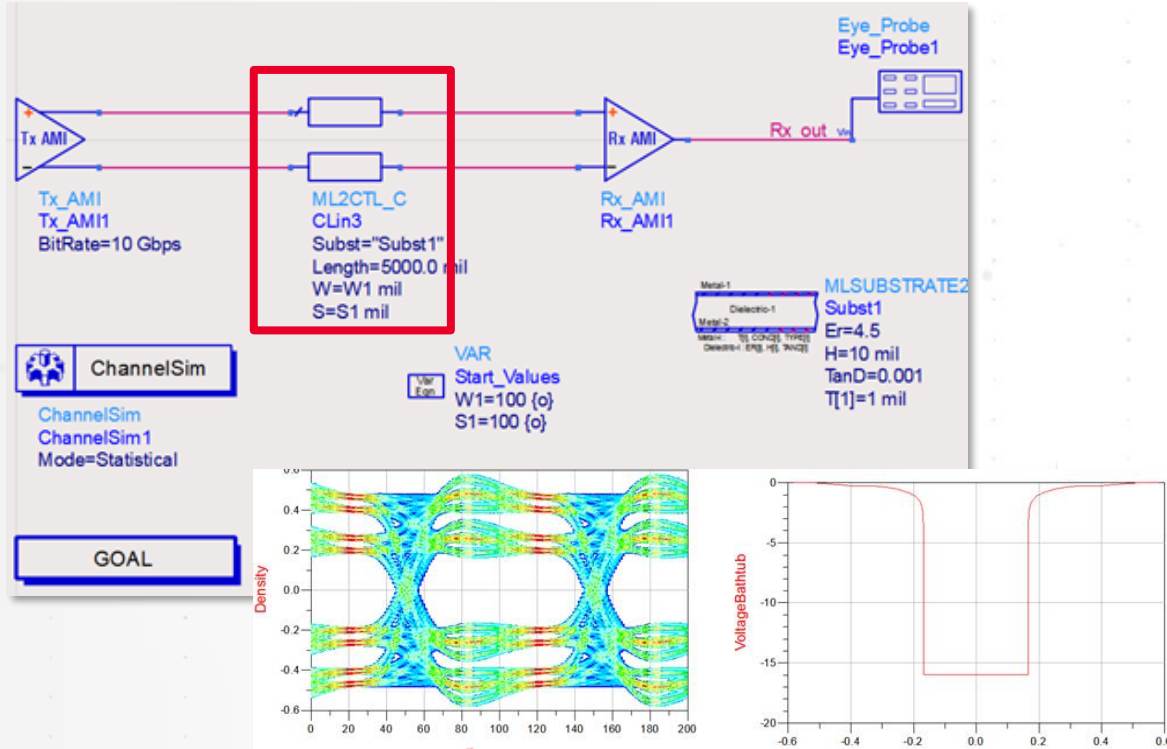


10Gbps



Simulation의 장점

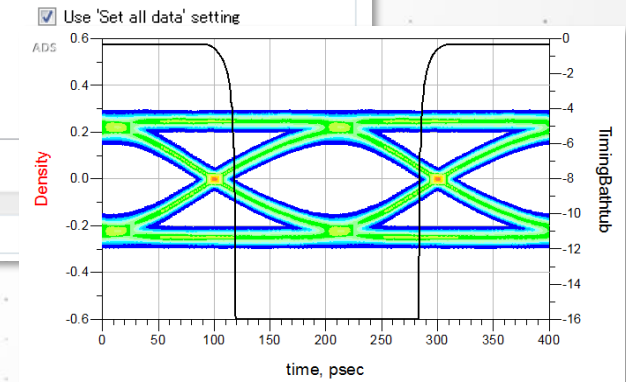
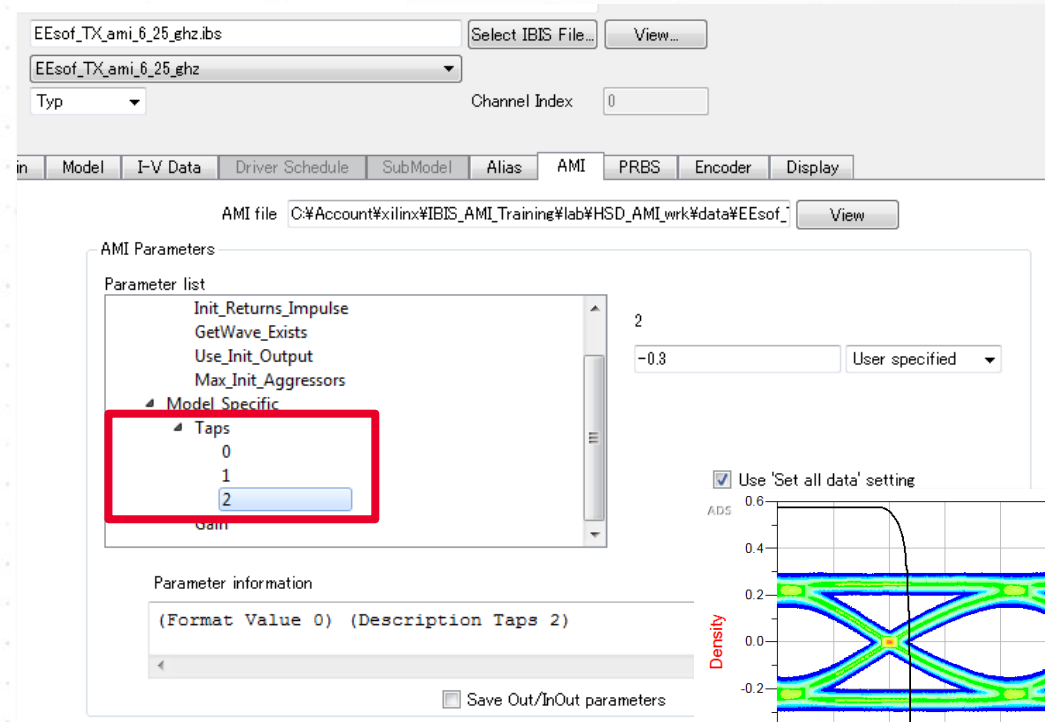
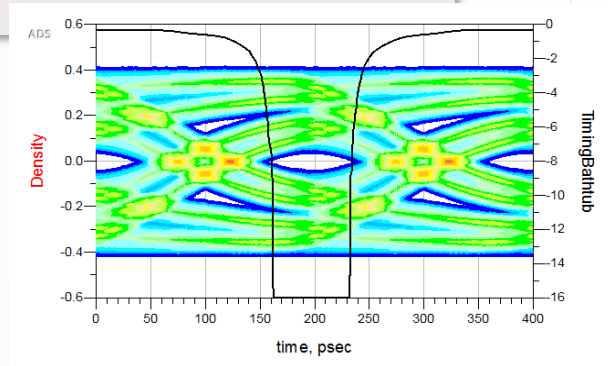
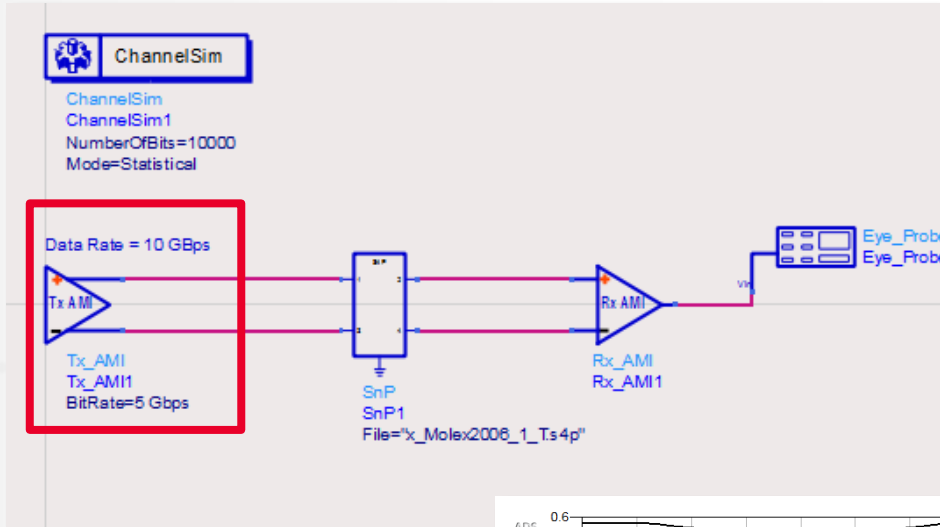
선폭및 선로간 길이 변경



선폭및
선로간 간격 조정

Simulation의 장점

모델 specific에서 Tap수 변경



Emphasis
Taps수 변경

Simulation에 사용되는 모델들

Tx Device

Package

PCB

Receptacle

Cable

Receptacle

PCB

Package Rx Device

Package모델

Connector모델

Rx모델

업체제공

- 각종SPICE모델
- IBIS모델
- IBIS-AMI모델

ADS 신호소스

측정기반모델
(S-parameters)

ADS기본
전송선 모델

업체제공

- 각종SPICE모델
- IBIS모델
- IBIS-AMI모델

공급 업체 제공
S-parameters
• 등가회로

Tx모델

Connector모델

전송선모델

PCB

전자계해석기반모델
(S-parameters)

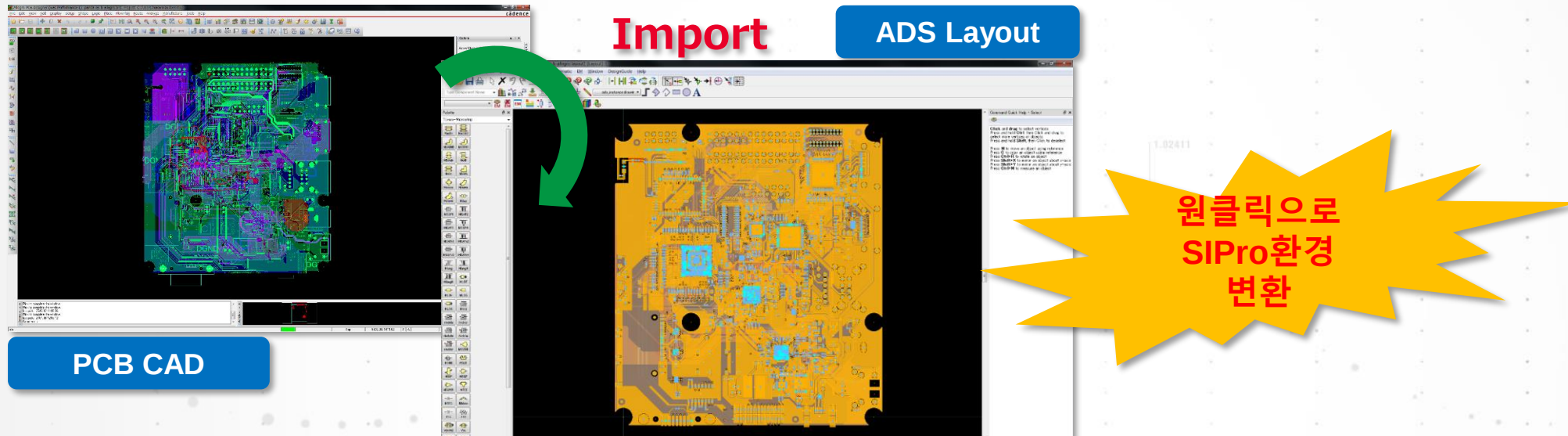
PCB Layout 정보를 바탕으로
전자계 해석을 실시하고
전송선로 모델을 만듦!

Agenda

- 시작
- **Post Layout Analysis Work Flow**
- SIPro를 이용한 EM해석및 ADS Eye analysis Demo
- 요약

Post Layout Analysis Work Flow

1.ADS에 PCB Layout 정보를 가져 오기



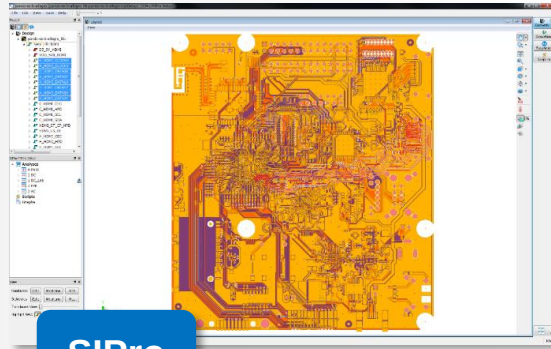
PCB CAD Data를 ADS로 가져와서 적층정보와 물성정보를 직접 편집할 수 있는 기능 제공

Cadence Allegro의 .brd파일을 시작 ABL을 통하여 PCB CAD Data가져 오기를 지원

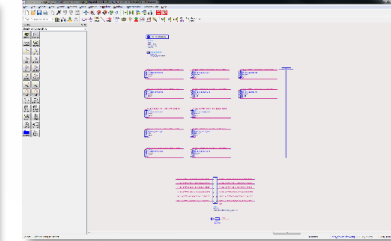
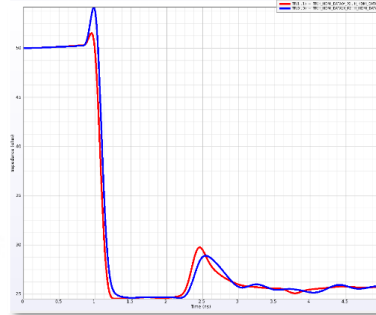
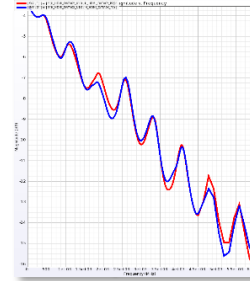
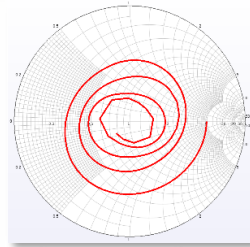
PCB CAD에서 Export한 odb++형식 포맷 가져 오기를 지원

Post Layout Analysis Work Flow

2.SIPro를 이용한 전자계 해석및 전송선 모델(S 파라미터) 생성



SIPro



Number	Net Type	Port	+Net	-Net	Distance	Z
1	Signal	H_HOMI_DATA1X_F2	H_HOMI_DATA1Y	DGND	F2	50
2	Signal	H_HOMI_DATA1X_F2	H_HOMI_DATA1X	DGND	F2	50
3	Signal	H_HOMI_DATA1X_F2	H_HOMI_DATA1X	DGND	F2	50
4	Signal	H_HOMI_DATA1X_F2	H_HOMI_DATA1X	DGND	F2	50
5	Signal	H_HOMI_DATA1X_U5	H_HOMI_DATA1X	DGND	U5	50
6	Signal	H_HOMI_DATA1X_U5	H_HOMI_DATA1Y	DGND	U5	50
7	Signal	H_HOMI_DATA1X_U10	H_HOMI_DATA1Y	DGND	U10	50
8	Signal	H_HOMI_DATA1X_U10	H_HOMI_DATA1X	DGND	U10	50
9	Signal	H_HOMI_DATA1X_U10	H_HOMI_DATA1X	DGND	U10	50
10	Signal	H_HOMI_DATA1X_U10	H_HOMI_DATA1X	DGND	U10	50
11	Signal	H_HOMI_DATA1X_U5	H_HOMI_DATA1X	DGND	U5	50
12	Signal	H_HOMI_DATA1X_U5	H_HOMI_DATA1Y	DGND	U5	50

분석하고자 하는 Net 선택을 통한 간단한 Setup Flow

Cookie-cut 등 번거로운 Layout 간소화 작업은 불필요

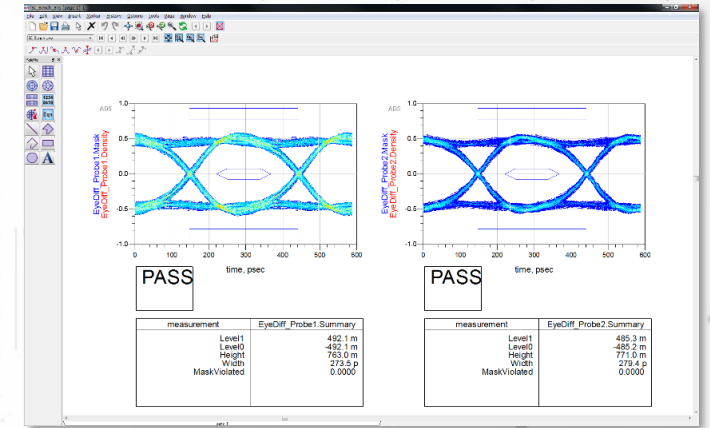
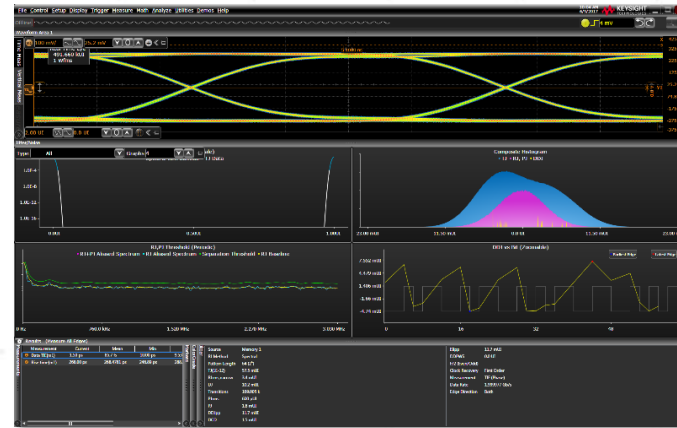
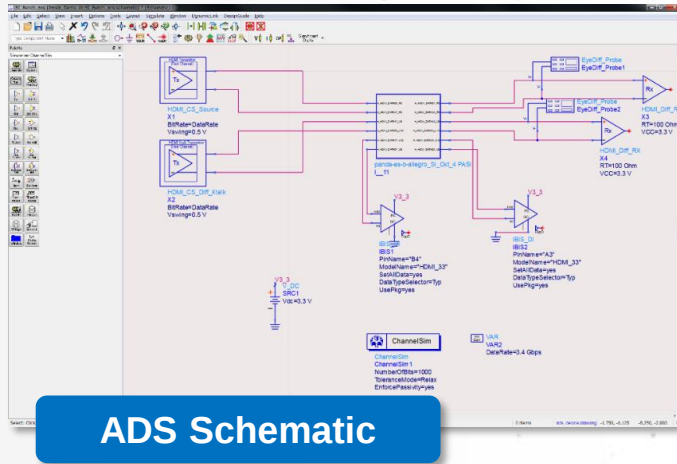
정확도와 속도를 고려한 Composite EM해석 방법

분석결과를 다양한 format으로 plot

ADS 회로도 용 테스트 벤치 생성 기능을 통해 자동으로 심볼및 회로도 구성

Post Layout Analysis Work Flow

3.ADS Simulation 실시



ADS의 기능을 활용한 강력한 Simulation 실현

IBIS-AMI 모델을 적용하여 보다 실측에 가까운 Simulation이 가능

Compliance Test Bench를 사용한 여러 Protocol 사전 평가 지원

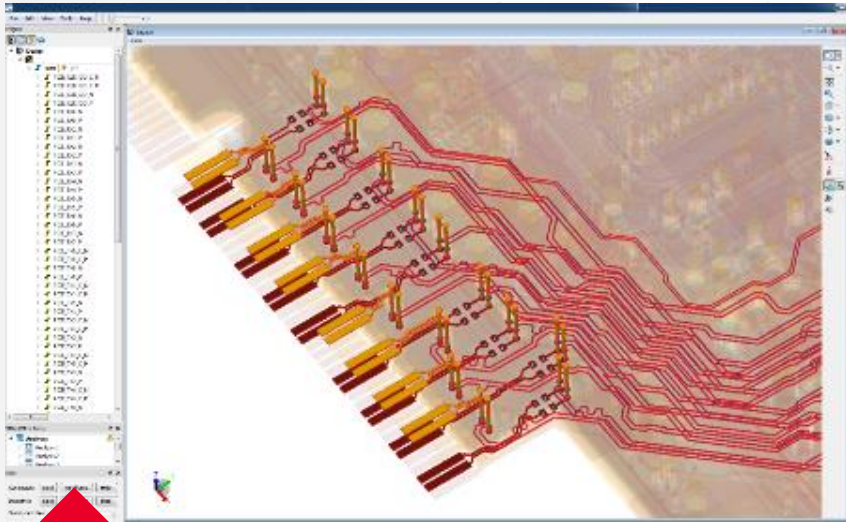
Import, Export 기능을 통해 계측기와 Data Link 지원

신호 무결성 전자계 해석 “SIPro”의 개요

ADS Option : Signal Integrity Pro

Composite EM 해석 = Fast FEM + Planar EM(Momentum)

정확도+속도



정확도를 고려한
모든 전자기 기반 분석

직관적인
해석 흐름

다양한 분석 결과 Plot

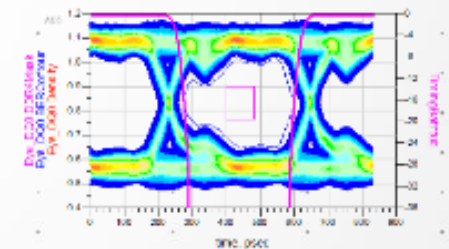
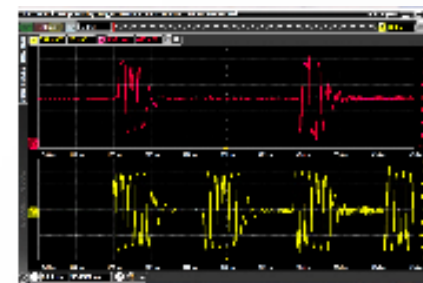
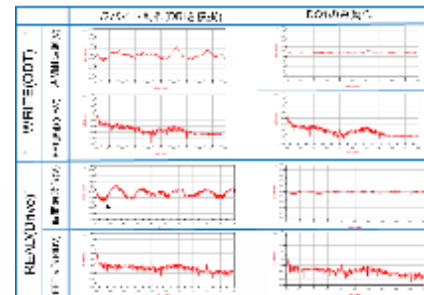
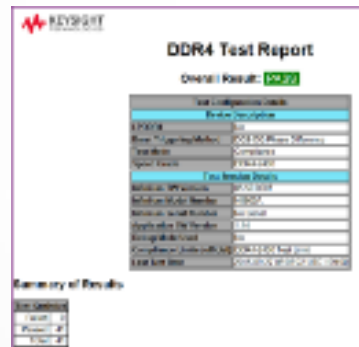
2차원 Hybrid EM해석에 비해 더욱 정확한
EM coupling현상 해석 가능

해석하고자 하는 Net을 중심으로 해석
Setup진행

ADS용 Test Bench생성 가능 (자동으로
회로도 생성)



Power-Aware
Signal Integrity

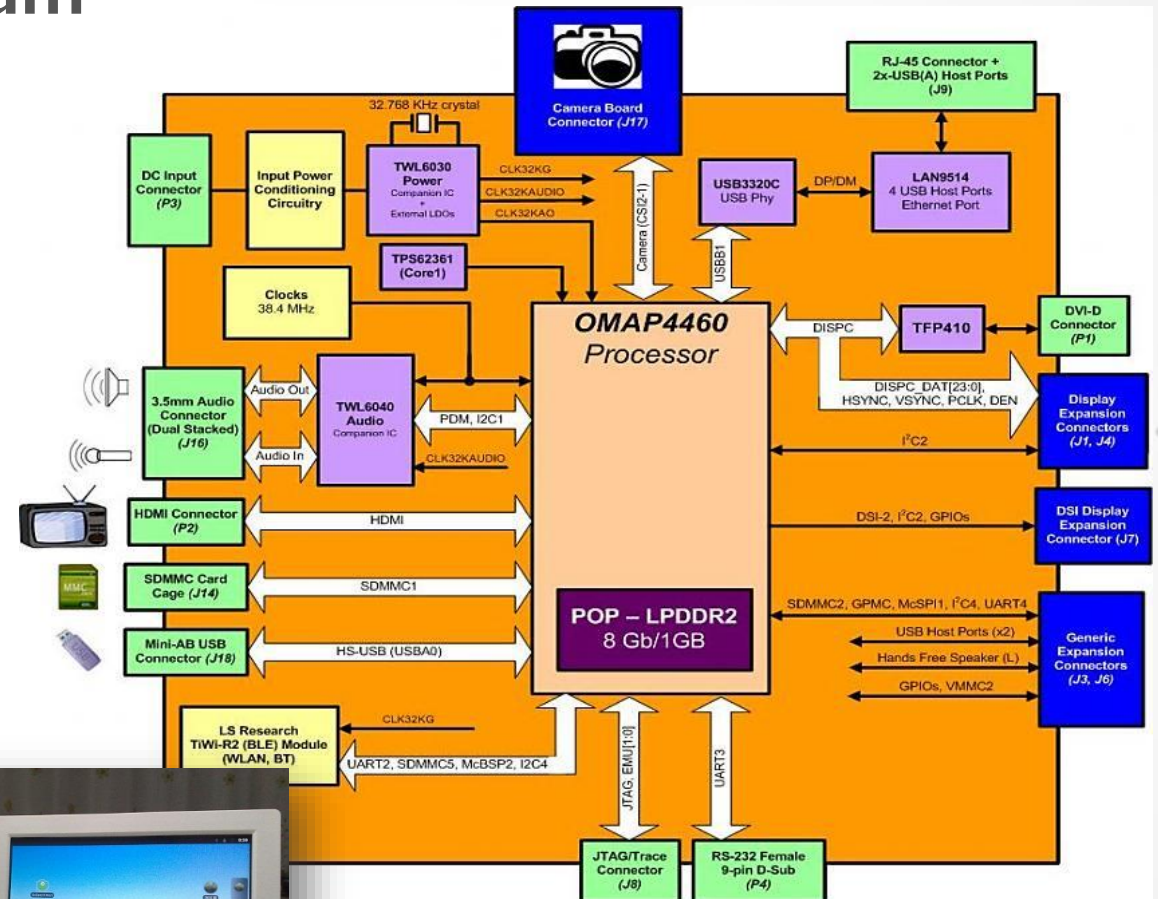
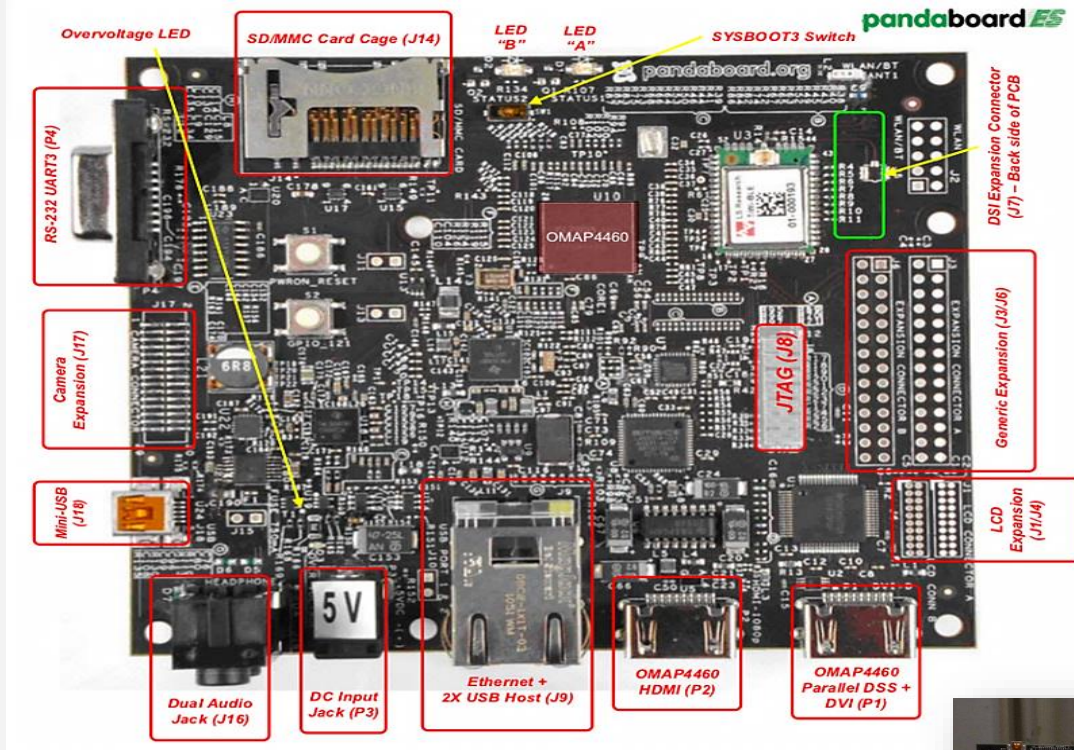


Agenda

- 시작
- Post Layout Analysis Work Flow
- **SIPro를 이용한 EM해석및 ADS Eye analysis Demo**
- 요약

Demo Topic

Panda Board의 사진 및 Block Diagram



Demo Topic

Panda Board에 탑재 된 Interface

Dual-core 1.2 GHz ARM® Cortex™-A9 MPCore™ with SMP

Memory:

1. 1 GB low power DDR2 RAM
2. SD/MMC card cage with Support for High Speed & High Capacity SD cards

Display:

3. HDMI v1.3 Connector (Type A)
4. DVI-D Connector

Connectivity:

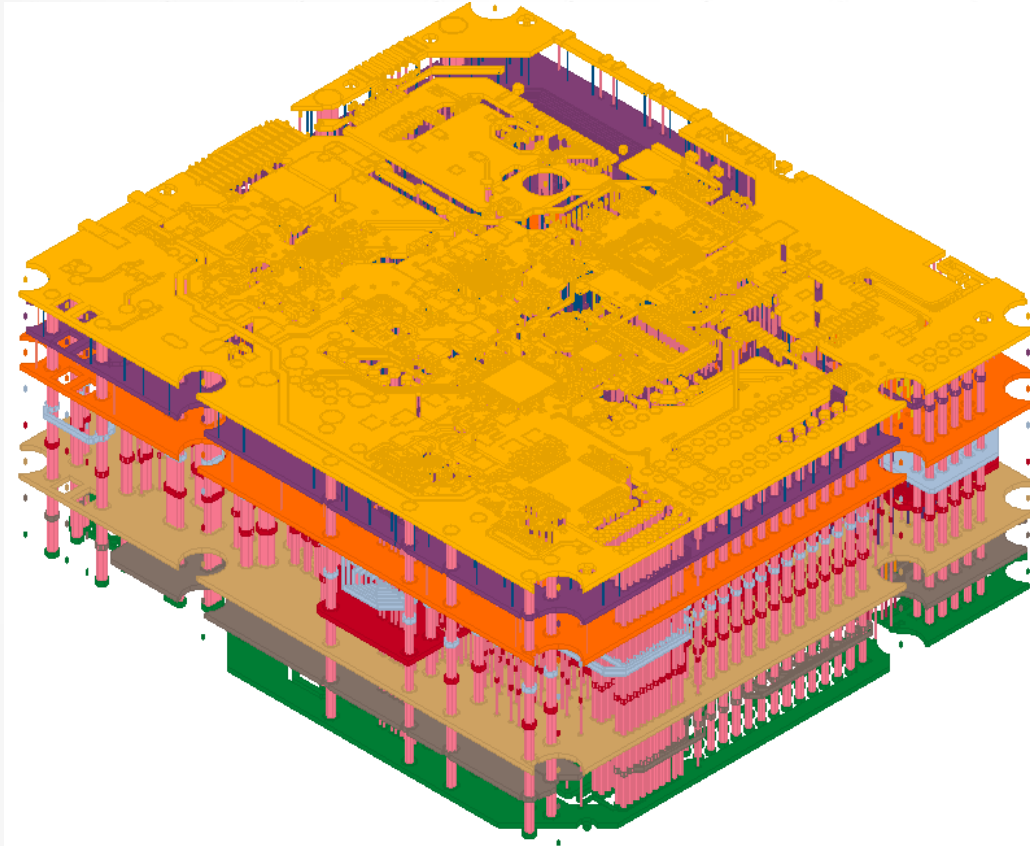
5. Onboard 10/100 802.3u Ethernet

USB Interfaces:

6. 1x USB 2.0 HS OTG port
7. 2x USB 2.0 HS Host ports
8. 1x RS-232 DB-9 UART

Demo Topic

Panda Board의 층 구성



- 8층
- 536 Nets
- 4.6 Inch x 4 Inch

Top

Signal Plane-1

Ground Plane-1

Signal Plane-2

Signal Plane-3

Power Plane-1

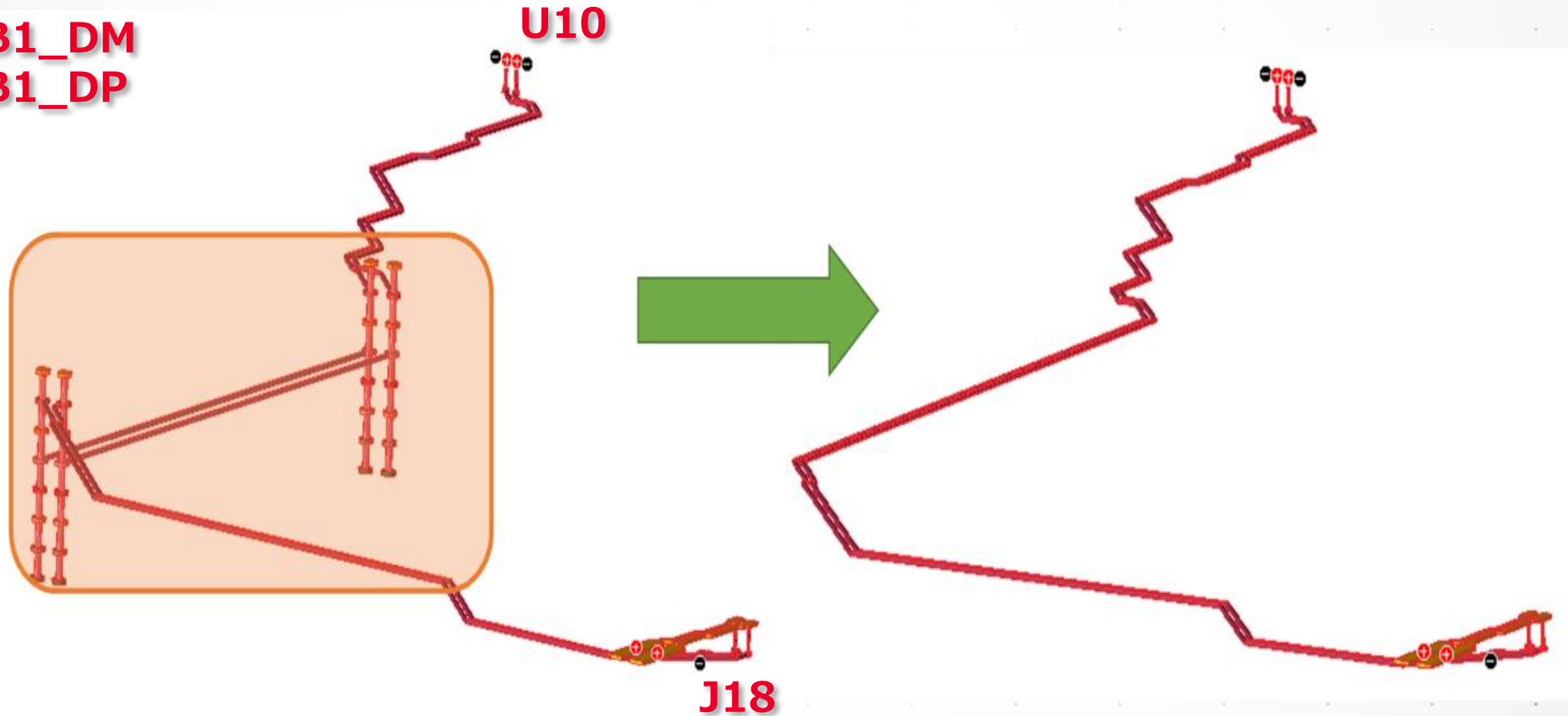
Signal Plane-4

Bottom

Demo Topic

분석 대상 Nets

H_USB1_DM
H_USB1_DP



ADS의 Time Domain Simulation 비교

Transient 및 Channel Simulation

	 TRANSIENT SPICE방식	 ChannelSim
동작방식	시간 단계별로 키르히 호프 전기 회로 법칙을 바탕으로 한 방정식	시간축 분석 모드 bit-by-bit mode 통계 분석 모드 Statistical mode
적용범위	- 선형/비선형 모델 - SPICE 모델 - IBIS 모델	Step Response를 중첩함 bit-by-bit 모드 방식을 기본으로 통계 분석을 실시
Simulation 속도	저속 BER=10⁻³까지 가능	고속 BER=10⁻¹²까지 가능
		초고속 BER=10⁻¹⁶이하 가능

Agenda

- 시작
- Post Layout Analysis Work Flow
- SIPro를 이용한 EM해석및 ADS Eye analysis Demo
- 요약

Summary



고속 시리얼 전송 기판을 설계시에는 시뮬레이션이 필수적



시뮬레이션을 할 때 다양한 모델을 사용



PCB Layout정보를 바탕으로 EM해석을 실시하고 전송선 모델(S-parameter)를 생성



IC업체로부터 제공되는 IBIS-AMI의 모델을 적용하고 Eye Pattern의 Simulation을 실시

Want More Resources?

ADS Bundle Used for Signal Integrity, Power Integrity Analysis:

- W2223BP ADS 코어, TranConv, 채널, IT, 레이아웃, SIPro,PIPro 번들링

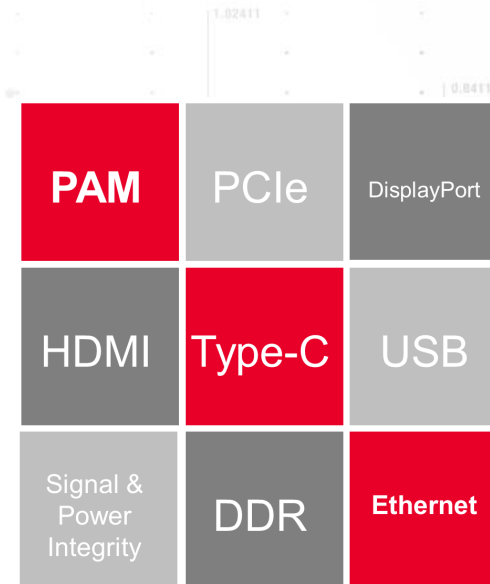
신호무결성 & 전원무결성 자료

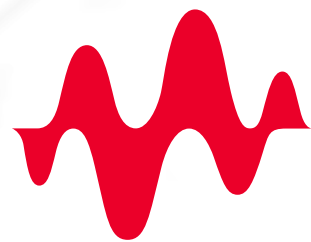
www.keysight.com/find/eesof-ads-sipi-resources

www.keysight.com/find/eesof-tutorials-signal-integrity

평가판 및 라이선스 신청

www.keysight.com/find/hsdswtrials





KEYSIGHT
TECHNOLOGIES